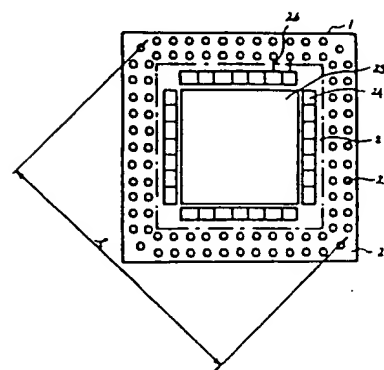


JP 401155637 A
JUN 1989**(54) MULTICHIP MODULE**

(11) 1-155637 (A) (43) 19.6.1989 (19) JP
(21) Appl. No. 62-314031 (22) 14.12.1987
(71) HITACHI LTD (72) KENICHI ISHIBASHI(4)
(51) Int. Cl.⁴ H01L21/66, H01L21/92

PURPOSE: To perform a failure analysis in the packaging state of chips at the level of an element by a method wherein the pads for solder bumps of each LSI chip are provided on the outer peripheries of element and wiring regions and through holes are provided on parts to oppose to the element and wiring regions on a substrate.

CONSTITUTION: Pads for solder bumps of an LSI chip 1 are provided on the outer peripheries of element and wiring regions. In a module substrate 2, through holes are provided on parts to oppose to the element regions 21 of the chips 1. Hereupon, the irradiation with an electron beam is performed on the chip 1 through the through holes. Thereby, a failure analysis at the level of an element becomes possible in the packaging state of the chips.



257/24

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-155637

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月19日

H 01 L 21/66
21/92

E-6851-5F
C-6708-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 マルチチップ・モジュール

⑮ 特 願 昭62-314031

⑯ 出 願 昭62(1987)12月14日

⑰ 発 明 者 石 橋 賢 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 正 木 亮 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 安 永 守 利 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 戸 所 秀 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

マルチチップ・モジュール

2. 特許請求の範囲

1. 1個以上のLSIチップをフェイスダウン・ボンディングにより半導体ウエハから成る配線基板に実装するマルチチップ・モジュールにおいて、チップに形成したEBテストされる素子および配線領域の外周にハンダ・パンプ用パッドを設けたことを特徴とするマルチチップ・モジュール。
2. 上記半導体ウエハにおいて、上記LSIチップの素子および配線領域に対向する部分に貫通孔を設けたことを特徴とする特許請求の範囲第1項記載のマルチチップ・モジュール。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路モジュールに係り、特にエレクトロニクス（以下EBと略す）テストを用いた不良解析に好適なマルチチップ・モジュールに関する。

ールに関する。

〔従来の技術〕

近年のLSIの多ピン化、実装密度の向上に伴い、半導体ウエハをモジュールの配線基板とし、この基板に複数のLSIチップをフェイスダウン・ボンディングにより実装するマルチチップ・モジュールが提案されている。なお、この種の装置としては例えば特開昭59-23531号等が挙げられる。

一方、LSIチップにEBを照射し回路の電位情報を得ることにより、素子レベルの不良解析を行うことが可能になった。

〔発明が解決しようとする問題点〕

従来のマルチチップ・モジュールでは、LSIチップ全面にハンダ・パンプを設けることにより多ピン化に対応していたために、モジュールおよびハンダ・パンプに素子面が隠れてしまっていた。さらに、フェイスダウン・ボンディングによりLSIチップをモジュール基板に実装した後は、素子面は外側から全く見えなかった。そのために、

この種のマルチチップ・モジュールでは、EBテストにより不良解析が不可能であった。

本発明の目的は、上記のような問題点に鑑み、フェイスダウン・ボンディングしたLSIチップのEBテストによる不良解析が行えるマルチチップ・モジュールを提供することにある。

〔問題点を解決するための手段〕

上記目的は、LSIチップのハンダ・バンプ用パッドを素子および配線領域の外周に設け、さらにモジュール基板において、チップの素子および配線領域に対向する部分に貫通孔を設けることにより、達成される。

〔作用〕

本発明によるマルチチップ・モジュールでは、LSIチップにおいてEBテストされる素子および配線領域にはハンダ・バンプ用パッドが配置されない。さらに半導体ウエハにチップをフェイスダウン・ボンディングにより実装した後、上記領域に対向する半導体ウエハには貫通孔が設けてある。それによつて、この貫通孔を通してLSIチ

ップにEB照射できるようになるので、チップ実装状態で素子レベルの不良解析が可能になる。

〔実施例〕

以下、本発明の一実施例を図面によつて説明する。各図において同一部分は同一符号を付して表示してある。第1図はLSIチップ1をモジュール基板2に実装したときの断面図、第2図はLSIチップ1の平面図、第3図はモジュール基板2の平面図である。図において、3はハンダ・バンプ、21は素子領域、22はパッド領域、23はハンダ・バンプ用パッド、24は入出力回路、25は内部回路、26は配線、4は貫通孔、31はハンダ・バンプ用パッド、32はチップ間の配線、33は、チップとワイヤボンダ用パッド34を接続する配線である。LSIチップ1は素子領域21とパッド領域22からなり、素子領域21は、内部回路25と入出力回路24からなる。

本実施例では入出力回路24および内部回路25のEBテストが可能な構成となっているが、入出力回路24や内部回路25の一部のEBテス

トが不要である場合、それらの回路はパッド領域22に含んでもよい。パッド領域22のハンダ・バンプ用パッド23は配線26により入出力回路24に接続されている。LSIチップ1はパッド23、ハンダ・バンプ3、パッド31を介してモジュール基板2と電気的に接続される。したがつてLSIチップ1のパッド23とモジュール基板2のパッド31は、ハンダ・バンプ3を介して相対する位置にある。また、モジュール基板2において、LSIチップ1の素子領域21に対向する部分に貫通孔4を設け、この孔を通してEB照射をLSIチップ1に対して行う。モジュール基板2は半導体ウエハからなり、写真技術等を用い1層以上の微細な配線を形成してあり、ハンダバンプ用パッド31は配線32、33と接続され、それぞれ、他チップのパッド、ワイヤボンダ用パッド34に接続される。パッド33はパッケージにワイヤボンダを用い接続されるが、このパッケージへの実装方法は特開昭59-23531号等に表示される技術が応用できる。

本実施例ではハンダ・バンプ用パッド23は2列となっているが、チップの入出力端子数に応じて列の数は増減する。また、LSIチップ1の外周にパッド領域22を設けるために、従来方法のようにハンダ・バンプをチップ中心に集中させる方式に比べ、バンプ間距離がが大きくなる。そのため、アルミナ等をモジュール基板2の材料として用いた場合、チップとモジュール基板の熱膨張係数差により接続部の信頼性が低下する。このことから、モジュール基板2はLSIチップ1と同一の半導体を用いて形成する。

第4図はLSIチップ1の配線の断面図であり、図において、41はエレクトロン・ビーム(EB)、42は第2層配線、43はEB用端子、44はスルーホール、45、46は第1層配線、47は絶縁層、48はチップの半導体基板である。EBテストにより回路の電位情報を得る場合、EB照射を受ける配線はチップ表面に露出している必要がある。第4図では2層配線の場合を示しており、第2層配線42は直接、EB照射41を受けられ

るが、第1層配線45、46ではスルーホール44を介してEB照射用端子43を設けたり、絶縁層47にEB用孔49を設けることにより配線を露出させておく。

〔発明の効果〕

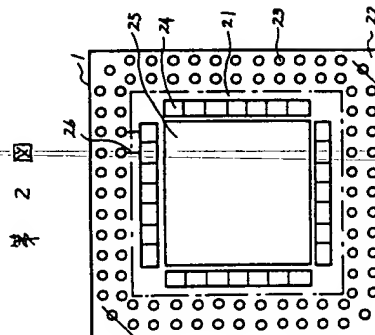
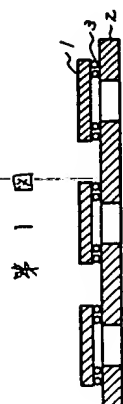
本発明によれば、LSIチップをモジュール基板にフエイスダウン・ボンディングした後にEBテストできるので、チップ実装状態での不良解析が素子レベルで行える。

4. 図面の簡単な説明

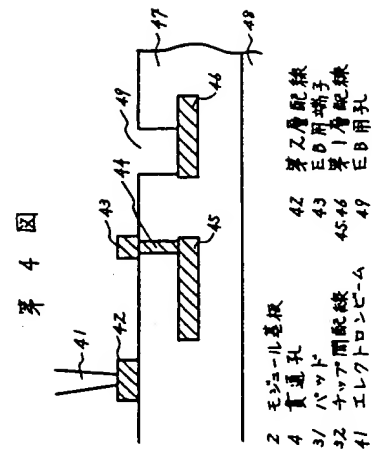
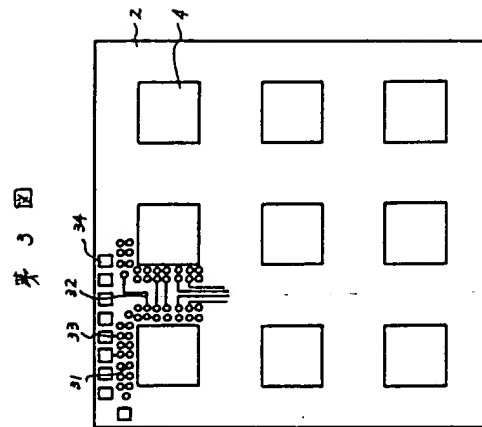
第1図は、本発明の一実施例のマルチチップ・モジュールの断面図、第2図はLSIチップの平面図、第3図はモジュール基板の平面図、第4図はLSIチップの配線の断面図である。

1…LSIチップ、2…モジュール基板、3…ハンダ・バンプ、4…貫通孔、21…素子領域、22…パッド領域、23、31…パッド。

代理人 井理士 小川勝男



1 LSIチップ
2 モジュール基板
3 ハンダ・バンプ
21 素子領域
22 パッド領域
23 内部回路
24 入力回路
25 出力回路



第1頁の続き

⑨発 明 者 水 石 賢 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内